

<b>Nazwa przedmiotu</b>	<i>Programowalne układy cyfrowe</i>
<b>Autor programu</b>	Dr inż. Adam Łuczak
<b>Kierunek studiów</b>	Techniczne zastosowania internetu
<b>Specjalność</b>	–
<b>Rok studiów</b>	2 na studiach drugiego stopnia
<b>Semestr</b>	3 na studiach drugiego stopnia
<b>Punkty ECTS</b>	5
<b>Liczba godzin</b>	60h
<b>Forma zajęć, metody nau- czenia</b>	Wykład 15h, ćwiczenia laboratoryjne 45h
<b>Prowadzący</b>	Dr inż. Adam Łuczak
<b>Wymagania wstępne</b>	
<b>Status przedmiotu w prog- ramie studiów (obowiąz- kowy/fakultatywny), blok</b>	Przedmioty specjalizacyjne do wyboru (telekomunikacja)
<b>Cele przedmiotu</b>	Zapoznanie z techniką cyfrową oraz sposobem projektowania nowoczesnych systemów cyfrowych a w szczególności systemów multimedialnych, prezentacja cech układów programowalnych FPGA, omówienie zasad projektowych zapewniających optymalne wykorzystanie układu programowalnego FPGA.
<b>Forma zaliczenia</b>	Test, projekt
<b>Treści programowe (program przedmiotu)</b>	<p><b>Wykład:</b></p> <ol style="list-style-type: none"> <li>1. Wprowadzenie do techniki cyfrowej i układów programowalnych</li> <li>2. Układy programowalne FPGA</li> <li>3. Systemy wbudowane SoC (System-on-Chip)</li> <li>4. Systemy komunikacji wewnątrzukładowej: magistrale, sieci NoC (Network-on-Chip)</li> <li>5. Metody projektowania i syntezy układów FPGA</li> <li>6. Interfejsy cyfrowe</li> <li>7. Metody testowania i weryfikacji układów programowalnych</li> </ol> <p><b>Ćwiczenia:</b></p> <ol style="list-style-type: none"> <li>1. Środowisko projektowe (XILINX ISE oraz ACTIVE-HDL)</li> <li>2. Język opisu sprzętu – Verilog</li> <li>3. Przygotowanie środowiska testowego</li> <li>4. "Parser tekstu ASCII" - implementacja i symulacja</li> <li>5. Przygotowanie środowiska uruchomieniowego dla układu FPGA</li> <li>6. Wykorzystanie układów generacji sygnału zegara i sygnału <i>reset</i> (cyfrowe pętle fazowe)</li> <li>7. Ćwiczenia projektowe: realizacja algorytmu przetwarzającego dane sekwencyjnie, na przykład konwersja zapisu równań na odwrotną notację polską (dokładne tematy ćwiczeń dla poszczególnych grup są ustalane indywidualnie)</li> <li>8. Ćwiczenia projektowe: realizacja algorytmu przetwarzającego dane potokowo, na przykład filtr FIR (dokładne tematy ćwiczeń dla poszczególnych grup są ustalane indywidualnie)</li> <li>9. Weryfikacja poprawności działania zrealizowanych projektów</li> </ol>
<b>Literatura obowiązkowa</b>	-
<b>Literatura uzupełniająca</b>	<ol style="list-style-type: none"> <li>1. <i>Synteza układów cyfrowych</i>, T. Łuba,</li> <li>2. <i>Synteza i optymalizacja układów cyfrowych</i>, G. De Micheli, WNT.</li> <li>3. <i>Język VHDL</i>, K. Skahill, WNT.</li> <li>4. <i>Synteza i analiza układów cyfrowych</i>, H.</li> </ol>

	Kamionka-Mikoła, H. Małysiak, B. Pochopień, WKŁ
--	--